

57-75

AU 253 48202

JA 0031166  
FEB 1982

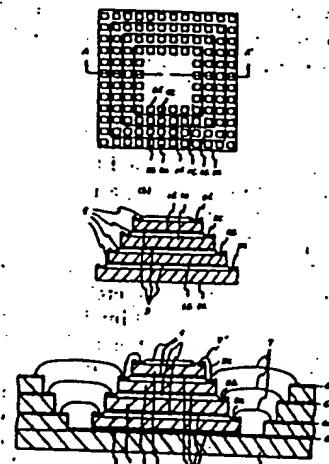
521 E114

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP  
(21) Appl. No. 55-105911 (22) 31.7.1980  
(71) FUJITSU K.K. (72) JIYUNJI SAKURAI  
(51) Int. Cl. H01L23/48, H01L21/58

**PURPOSE:** To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

**CONSTITUTION:** IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



BEST AVAILABLE COPY



以下本発明を第1回及び第2回に示すテ・ブ積層構造における二つの実施例の上面図(a)及びA-A'矢状断面図(b)、第3回及び第4回に示すバ・ケージへのテ・ブ実装構造における二つの実施例の断面模式図を用いて詳説に説明する。

本実施例の多層半導体ICに使用する各素子集積層としての半導体ICチ・ブは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用パ・ドであるパンディング・パ・ド部のみを残して上面が保護ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記パンディング・パ・ド部にはパンプ状電極が形成される場合もある。

そして例えば第1回(a)及び(b)に示すような多層半導体ICチ・ブの積層構造に於ては、第1層の半導体ICチ・ブ1a、第2層のチ・ブ1b、第3層のチ・ブ1c及び第4層のチ・ブ1dの4(列)に沿った周縁部に導通所留めのパンディング・パ

又の構造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス規範全層の実装記号を簡略化することが困難であるという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チ・ブを複層し、パ・ケージ寸法の拡大することを省力化且つパ・ケージ当たりのICの集積度を大幅に向上せしめ、更にICチ・ブ毎のプロセス規範及び回路機能を簡略に固定することが可能な構造を有する多層半導体集積回路チ・ブをパ・ケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パ・ドが設けられた多層半導体集積回路チ・ブをパ・ケージ内に封入した半導体装置について、故パ・ケージ内の内部パ・ドが階級状に多層に設けられ、対応する層の前記導通のパ・ドと内部パ・ドとが外部導体を介して接続されてなることを特徴とする。

・F2a, 2b, 2c成るいは2dが形成されており、各層チ・ブの大きさは、上層のチ・ブを残せた時に下層チ・ブのパンディング・パ・ドが上層チ・ブの周辺部(外側)に突出するよう、上層チ・ブになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を表わす)

そしてこれら半導体ICチ・ブを複層構造する際の接觸層3はシリコン樹脂、エポキシ樹脂成るいはポリ・イミド等の絕縁性樹脂、銀ベース等の導電性接着剤成るいは金-銀(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接觸を行う際には下層の半導体ICチ・ブの表面保護絶縁膜9上にAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤成るいはろう材を用いて接觸する際には、下層チ・ブの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコントラクト窓を形成し、前記導電性接着剤成るいはろう材を介して上層チ・ブの所要の領域と接觸方向に電気的接続を行つ間に有利である。

又第2回(a)及び(b)は同じチ・ブ・サイズの半導体ICチ・ブを複層する際の構造を表わす別の一実施例で、この場合は各層半導体ICチ・ブ例えば1a, 1b, 1c及び1dのパンディング・パ・ド2a, 2b, 2c及び2dは該チ・ブに於ける隅り合った2(辺)に沿う該部のみに形成される。そしてチ・ブを複層する際に用いる接觸層3としては前記同様銀性樹脂、導電性接着剤成るいはろう材が使用される。(図中9は表面保護絶縁膜を表わす)

本実施例の半導体装置は上記のような多層半導体集積回路チ・ブを半導体パ・ケージ内に配設した構造を有しており、その一実施例に於ては第3回の断面模式図に示すように、半導体パ・ケージ40チ・ブ・ステージ5上に前記のように半導体ICチ・ブ1a, 1b, 1c及び1dが順次複層された多層半導体集積回路チ・ブが、前記同様銀性樹脂、導電性接着剤成るいはろう材等からなる接觸層3により固定されており、上記チ・ブの所要のパンディング・パ・ド(通常は他のパン

スル  
押え  
を大  
半導  
体はそ  
内にま  
ICの  
及び回  
の向上  
さらか  
パ・ドの  
導通一  
形成され  
なれる。  
又本發  
子集積層  
前述のよ  
間を外部導  
て該構造。

し及び 2c と  
2d は各々半導体バ・ケージ 4 の内部バ・  
ケージの内側に形成されたパンディング・ペ・ド 2a,  
2b, 2c 部に鉛-錫 (Pb-Sn) 半田等からなる  
パンプ電極 8a, 8b, 8c を有する半導体 IC  
チ・アブ 1a, 1b, 1c を前述のように状態形成  
せしめた多層半導体集成回路チ・アブを、該チ・アブ  
の上面を下に向かって半導体バ・ケージ 4 に多層に  
形成された内部バ・ド 6a, 6b, 6c 上に、前記  
パンプ電極 8a, 8b, 8c によりろう差固定し、該パンプ電極 8a, 8b, 8c を外部導体と  
して介して各層半導体 IC チ・アブ 1a, 1b, 1c  
のパンディング・ペ・ド部とバ・ケージの内部配  
線とをそれぞれ電気的に接続した構造を有してい  
る。(図中 9 は表面保護基板を表わす)

なお該構造においては各層の半導体 IC チ・アブの厚  
さと半導体バ・ケージの内部配線の層間隔は性  
能等を考慮して適切な高さで形成されることが  
望ましい。

又第 4 図は多層半導体集成回路チ・アブをフー  
ス・イクン構造で半導体バ・ケージに搭載する本  
発明における実施例である。

以上説明したように本発明の構造を有する半導  
体装置においては、半導体バ・ケージ内に半導体 IC  
チ・アブが状態固定されてなっているので、メカニ  
ズム

ずしも一枚のチ・アブで回路機能を完成せしめる必  
要はなく、複数枚のチ・アブにまたがって回路機能  
を形成することができる。

従って本発明によれば多層半導体 IC の製造歩  
留まりが向上すると同時に、電子計算機あるいは  
電子通信装置等の電子機器の小型化、大容量化が  
図れる。

#### 4. 図面の簡単な説明

第 1 図及び第 2 図は本発明の多層半導体集成回  
路におけるチ・アブ状態構造の二つの実施例を示し  
(a) はその上面図、(b) はその A-A' 矢視断面図で  
ある。又第 3 図及び第 4 図は本発明におけるバ・  
ケージへのチ・アブ実装構造の二つの実施例の断面  
模式図である。

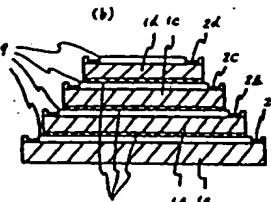
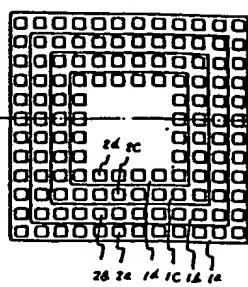
図に於て 1a と 1b と 1c と 1d は電子基板層  
である半導体集成回路チ・アブ、2a と 2b と 2c  
と 2d はパンディング・ペ・ド、3 は被覆層、4  
は半導体バ・ケージ、5 はチ・アブ・ステージ、6a  
と 6b と 6c はバ・ケージの内部バ・ド、7 及び  
7' は外部導体、8a と 8b と 8c はパンプ電極



特許57-31166(4)

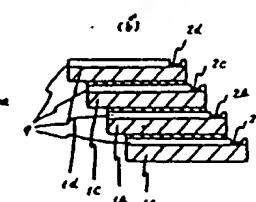
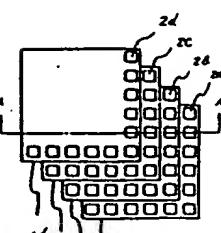
第1図

(a)

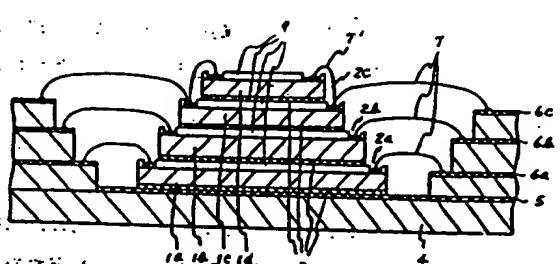


第2図

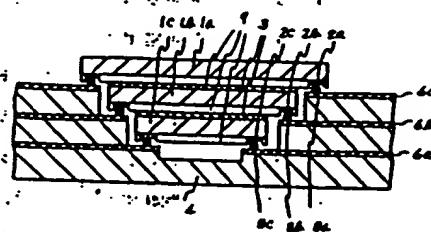
(a)



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**